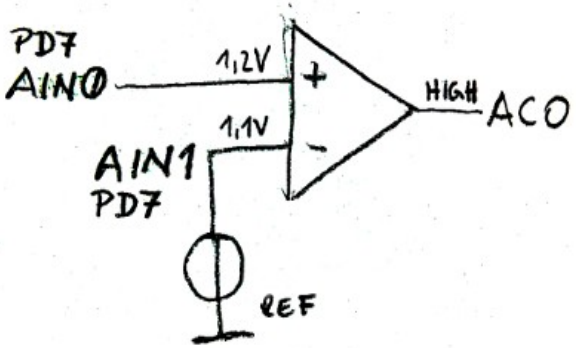
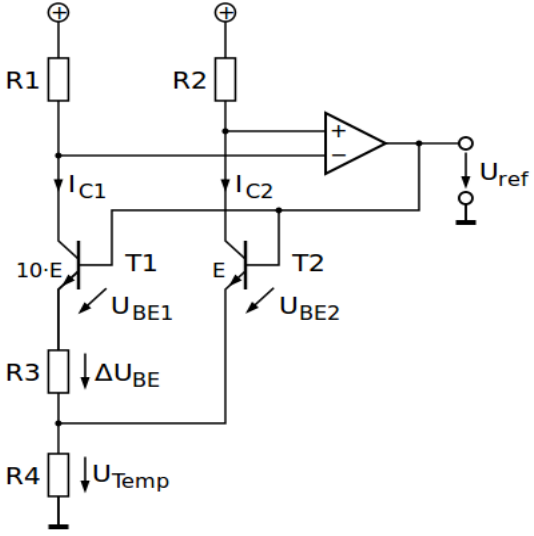
Analog Komparator

- vergleicht zwei analoge Inputs
- vgl. OpAmp: die Differenzspannung am Eingang ist ungleich Null, die Verstärkung unendlich, trotzdem gehen die Transistoren nicht in Sättigung => schnell



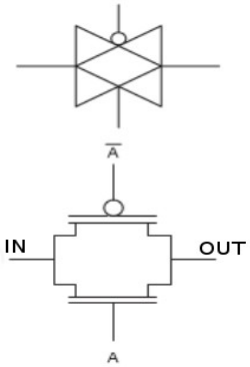
Bandgap Referenz

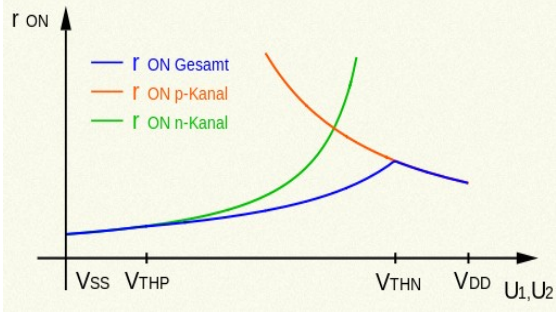
- temperaturstabile Spannungsquelle
- pn-Übergang verliert Spannung bei Temperaturerhöhung: -2mV/K (CTAT **c**omplementary **t**o **a**bsolute **t**emperature)
- bei geringer Stromdichte ist die Abnahme geringer d.h. die Spannung am PN-Übergang steigt im Vergleich zu einer Vergleichsdiode (PTAT **p**roportional **t**o **a**bsolute **t**emperature)
- unterschiedliche Stromdichte wird erreicht durch Parallelschalten von Transistoren
- bei geeigneter Dimensionierung kompensiert sich PTAT und CDAT



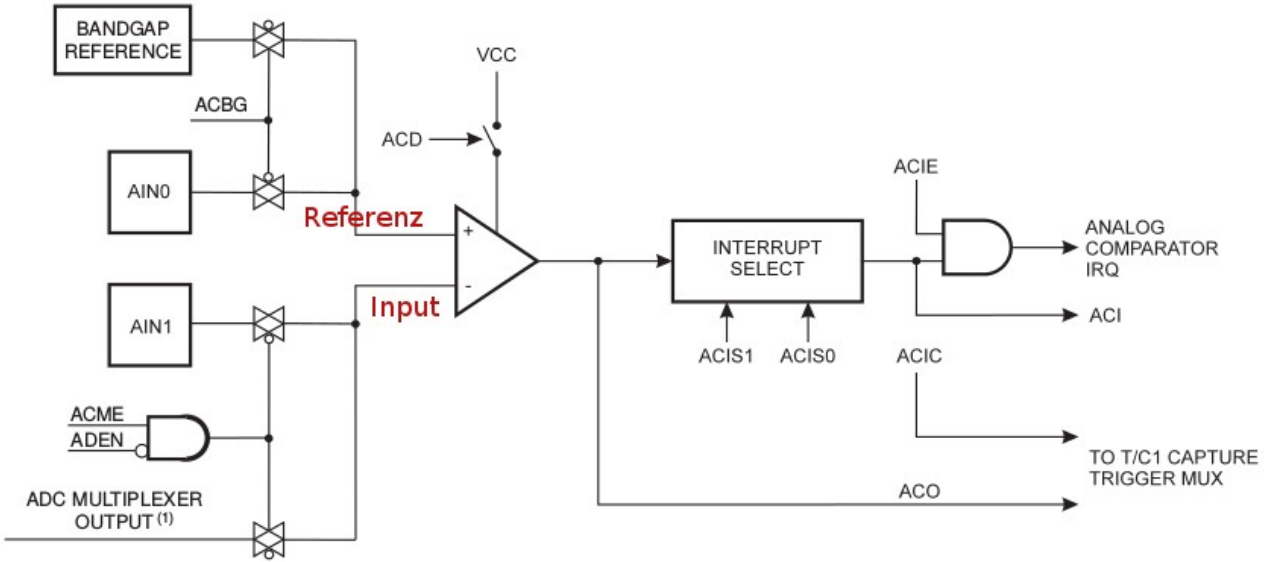
Transmission Gate (Analog Switch)

- kombiniert n- und p-Kanal Mos Transistor zu einem Schalter
- Vorteil: guter Kurzschluss für Eingangssignale zwischen VSS und VDD
- Ein- und Ausgang vertauschbar
- kann hochohmig geschaltet werden (Schalter geöffnet)
- „Analog Switch“ ist ein optimiertes Transmissiongate für analoge Signale (wenig Verzerrungen beim Durchschalten wenn p- von n-Kanal übernimmt)





Blockschaltbild



Ausgabe: ACO = 1 sagt: „Input ist kleiner als die Referenz“

Einstellungsmöglichkeiten

- **AC disable** (ACD)
- Positiver Input: **Bandgap** Voltage Reference oder AIN0 als Referenz
  mit AC verbinden (ACBG)
- Negativer Input: **Multiplexer**
  negativer Input wahlweise von Pin AIN1 oder von ADC Eingängen (beim ATMEG 328 sind nur die Eingänge ADC0..7); dies ist aber nur möglich, wenn der ADC (AD-Umsetzer) nicht verwendet wird (ADEN=0)
- Input **Capture** aktivieren (ACIC)

ACME	ADEN	MUX2..0	Analog Comparator Negative Input
0	x	xxx	AIN1
1	1	xxx	AIN1
1	0	000	ADC0
1	0	001	ADC1
1	0	010	ADC2
1	0	011	ADC3
1	0	100	ADC4
1	0	101	ADC5
1	0	110	ADC6
1	0	111	ADC7

- Interrupt-Ereignis/Capture: fallende/steigende Flanke/Toggle (ACIS0/ACIS1)
- Disable Digital Input Buffers
  für AC0/AC1 werden die digitalen Puffer nicht benötigt, abschalten spart Strom

```
DIDR1 = _BV(AIN0D) | _BV(AIN1D);
```

ACIS1	ACIS0	Interrupt Mode
0	0	Comparator Interrupt on Output Toggle.
0	1	Reserved
1	0	Comparator Interrupt on Falling Output Edge.
1	1	Comparator Interrupt on Rising Output Edge.

- wenn das Capture Ereignis ausgelöst wurde, wird der Zählerstand von Timer1 in das Input Capture Register ICR1 gespeichert.

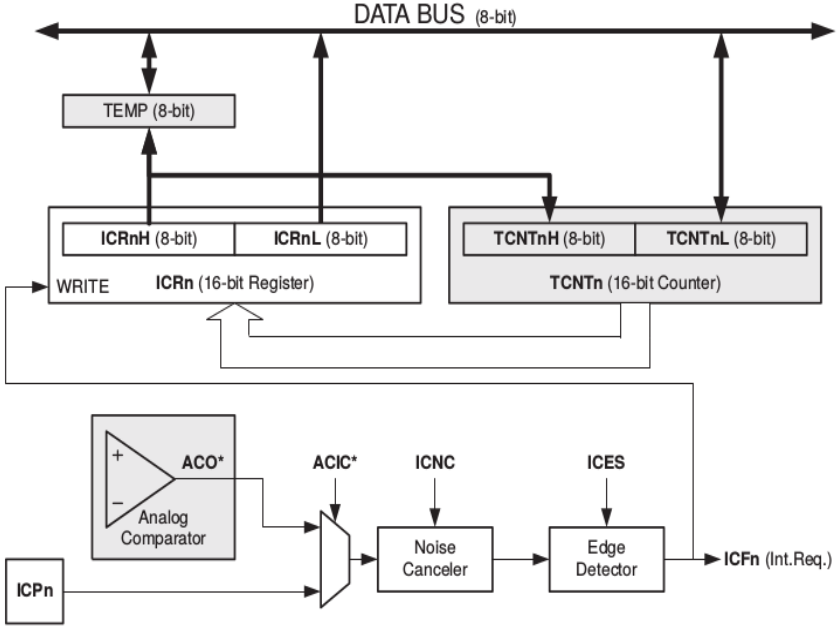



Figure 15-3. Input Capture Unit Block Diagram